

Family list

2 family member for:

JP1129234

Derived from 1 application.

1 LIQUID CRYSTAL DISPLAY DEVICE WITH AUXILIARY CAPACITY

Publication info: JP1129234 A - 1989-05-22

JP2682997B2 B2 - 1997-11-26

Data supplied from the *esp@cenet* database - Worldwide

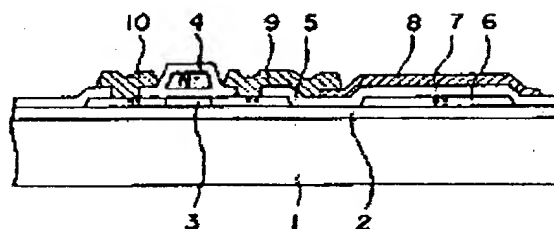
LIQUID CRYSTAL DISPLAY DEVICE WITH AUXILIARY CAPACITY

Patent number: JP1129234
Publication date: 1989-05-22
Inventor: MIMURA AKIO; ONO KIKUO; OIKAWA SABURO;
KONISHI NOBUTAKE
Applicant: HITACHI LTD
Classification:
- international: G02F1/133; G02F1/1343; G02F1/136; G09F9/30;
H01L27/12; H01L29/78; G02F1/13; G09F9/30;
H01L27/12; H01L29/66; (IPC1-7): G02F1/133;
G09F9/30; H01L27/12; H01L29/78
- european:
Application number: JP19870286440 19871114
Priority number(s): JP19870286440 19871114

Report a data error here

Abstract of JP1129234

PURPOSE: To provide a display device which is simple in stage and has high pattern disposition accuracy by using semiconductor layers which serve as a transparent electrode material constituting capacity electrodes and constitute thin film transistors as switching elements and forming these layers simultaneously. **CONSTITUTION:** An underlying film 2 is formed on a glass substrate 1 and polycrystalline silicon 3 on which thin film transistors are formed and capacity electrodes 6 consisting of polycrystalline silicon are formed thereon. Gates 4 are formed on the polycrystalline silicon 3, then n⁺ sources and drains are formed. A protective film 5 consisting of SiO₂ is thereafter formed over the entire surface. The protective film 5 serves as a capacity insulating film 7 in an auxiliary capacity part, on which picture element electrodes 8 are formed. The capacity electrodes and the islands of the semiconductor layers forming the switching elements are simultaneously formed in such a manner and, therefore, the stage for depositing the capacity electrodes is eliminated. The capacity electrodes are formable with good accuracy simply by separating the same semiconductor layers at the time of forming the switching elements.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平1-129234

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)5月22日

G 02 F 1/133
G 09 F 9/30
H 01 L 27/12
29/78

3 2 7
3 3 7
3 1 1

7370-2H
7335-5C
A-7514-5F
A-7925-5F

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 補助容量付液晶表示装置

⑮ 特 願 昭62-286440

⑯ 出 願 昭62(1987)11月14日

⑰ 発 明 者 三 村 秋 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑰ 発 明 者 小 野 記 久 雄 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑰ 発 明 者 及 川 三 郎 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑰ 発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内
⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑰ 代 理 人 弁理士 武 願次郎 外1名

明 細 書

1. 発明の名称

補助容量付液晶表示装置

2. 特許請求の範囲

1. 各画素の表示素子にスイッチング素子を備え、補助容量を付加した液晶表示装置において、補助容量用の電極を、スイッチング素子を構成する半導体層と同一の半導体物質で構成したことを特徴とする補助容量付液晶表示装置。

2. 前記半導体物質が、多結晶シリコン、非晶質シリコン、または単結晶シリコンであることを特徴とする特許請求の範囲第1項記載の補助容量付液晶表示装置。

3. 前記補助容量用の電極が、スイッチング素子を構成する半導体層を形成すると同一の製造工程で形成されることを特徴とする特許請求の範囲第1項または第2項記載の補助容量付液晶表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶表示装置に係り、特に、表示品質及び信頼性の高い、補助容量付液晶表示装置に関する。

(従来の技術)

液晶表示装置、特に、アクティブマトリクス型の液晶表示装置は、各画素毎にスイッチング素子を備えて構成されており、大容量、高画質の表示が可能である。そして、この表示装置は、理想的には、非常に大画面の表示を実現することも可能であるが、一般には、スイッチング素子のリーク、液晶を介してのリーク等のため、画面の大きさが制限され、これらのリークが、表示画面のコントラスト等の画質を低下させる原因となっていた。この対策として、画素毎に補助容量を付加する方法が提案されている。

この種液晶表示装置の従来技術として、例えば、特開昭61-241784号公報、「エス アイ ディー 84 デイゼスト、312 頁、*7240 × 360 エLEMENT アクティブ マトリクス エル シー ディー ウィズ インテグレートッド ゲート バ

ス ドライバース ユージング ポリシリコン
 ティー エフ ティー "J" (SID 84 DIG
 EST, PP. 312, "A240 x360 Element A
 ctive Matrix LCD with Integrated Gate
 -Bus Drivers Using Poly-Si TFT's")
 等に記載された技術が知られている。

第5図はこの種従来技術による表示装置におけ
 る薄膜半導体素子及び補助容量部の断面図であり、
 以下、この図により従来技術による表示装置につ
 いて説明する。第5図において、1はガラス基板、
 2は下地膜、3は多結晶シリコン、4はゲート、
 5は保護膜、6cは容量電極、7は容量絶縁膜、
 8は画素電極、9はソース電極、10はドレイン
 電極である。

第5図の断面図は、表示装置の一画素の表示素
 子の構成を示しており、他の全ての表示素子と共
 に次のように製造される。

(1) ガラス基板1上に下地膜2を形成し、この
 下地膜2の上にスイッチング素子としての薄膜ト
 ランジスタとなる多結晶シリコン3を形成する。

され、液晶を駆動することになる。このとき、容
 量電極6cと容量絶縁膜7とにより、補助容量が
 構成される。この補助容量は、画素電極8と容量
 電極6cの面積をほぼ同一とし、容量絶縁膜7の
 厚さを、液晶層の厚さの約10分の1とすると、
 液晶容量の数倍となる。

このような、従来技術による液晶表示装置は、
 この補助容量により、スイッチング素子としての
 薄膜トランジスタのリーク電流が大きい場合、及
 び、温度上昇等により液晶の抵抗が下がり、液晶
 のリーク電流が大きくなつた場合に、液晶に印加
 された電圧の低下を補償することができ、環境の
 変化に対して安定な表示品質を得ることができ
 るものである。

〔発明が解決しようとする問題点〕

しかし、前記従来技術は、前述の補助容量を構
 成することにより、その製造上、次のような問題
 点を生ずる。すなわち、前記従来技術は、容量電
 極6c、容量絶縁膜7を形成する工程が増加し、
 多結晶シリコン3の島と、容量電極6c、画素電

(2) 次に、ゲート絶縁膜とゲート4を形成し、
 イオン注入により、多結晶シリコン3内にソース
 及びドレインを形成後、さらに、この上に素子の
 保護膜5を形成する。

(3) その後、画素電極8とほぼ同一の位置に補
 助容量を形成するための透明電極である容量電極
 6cを形成し、この上に容量絶縁膜7を形成する。

(4) 最後に、画素電極8を形成すると共に、ド
 レイン及びソースの上にコンタクトホールを形成
 して、ドレイン電極10及びソース電極9を形成
 する。

前述において、容量電極6及び画素電極8は、
 ITO (Indium Tin Oxide) による透明電極
 であり、下地膜2、保護膜5及び容量絶縁膜7は、
 SiO₂により形成される。そして、このような
 表示素子による表示部は、図示の電極8～10の
 上方に配置される電極板との間に液晶を充填して
 構成される。このような構成とすることにより、
 薄膜トランジスタのドレイン電極10からソース
 電極9に伝達した低号電圧は、画素電極8に印加

極8とのパターン合わせが増加するという問題点
 を有し、さらに、このパターン合わせの寸法に所
 定の余裕を持たせる必要があり、このため、画素
 の縮小化が困難であるという問題点を有する。

本発明の目的は、製造工程が簡単で、パターン
 配置精度の高い、補助容量付液晶表示装置を提供
 することにある。

〔問題点を解決するための手段〕

本発明によれば、前記目的は、容量電極を構成
 する透明電極材料として、スイッチング素子とし
 ての薄膜トランジスタを構成する薄い半導体層を
 使用し、これらを同時に形成することにより達成
 される。

〔作用〕

容量電極とスイッチング素子を形成する半導体
 層の島とが同時に形成されるため、容量電極の被
 着工程を省略することができる。また、容量電極
 は、スイッチング素子を形成すると同一の半導体
 層を分離するだけで、精度よく形成することがで
 きる。さらに、容量電極を形成する薄い半導体層

は、可視光に対し実用的な光の透過率を有し、充分に透明電極として作用できる。

(実施例)

以下、本発明による補助容量付液晶表示装置の一実施例を図面により詳細に説明する。

第1図は本発明の一実施例を示す表示素子の断面図、第2図(a)~(d)はその製造工程を説明する図である。第1図、第2図(a)~(d)において、6は容量電極であり、他の符号は第5図の場合と同一である。

本発明による液晶表示装置の1個の表示素子は、第1図に示すように、ガラス基板1上の下地膜2の上に同時に形成され分離された、薄膜トランジスタを構成する半導体層3と、容量電極6とにより形成される。薄膜トランジスタは、半導体層3内に形成されるソース及びドレインと、半導体層3の上にゲート絶縁膜を介して設けられたゲート4とにより構成される。また、容量電極6は、半導体層3と同一の多結晶シリコンで形成され、その上に、容量絶縁膜7が形成されて構成される。

ようになり、電極としての機能を果たせることが可能となる。また、200 Åの多結晶シリコンによる容量電極は、可視光に対する透過性も充分持っており、透明電極として作用させることができる(第2図(a))。

(a) 次に、全面にSiO₂による保護膜5を形成する。この保護膜5は、補助容量部では容量絶縁膜7となる。この容量絶縁膜7の上に、従来技術の場合と同様に、ITOを用いた西素電極8を形成する(第2図(b))。

(b) 次に、多結晶シリコン3内に形成された薄膜トランジスタのソース、ドレインにコンタクトホールを開け、ソース電極9を西素電極8にコンタクトするように形成すると共に、ドレイン電極10を形成する(第2図(c))。

前述した本発明の一実施例は、スイッチング素子となる薄膜トランジスタを構成する多結晶シリコンと、補助容量を構成する容量電極とを同時に形成することができるので、容量電極を別の工程で形成する従来技術に比較し、その製造工程を減

薄膜トランジスタのソース、ドレインには従来技術の場合と同様に、ソース電極9、ドレイン電極10が設けられ、さらに、容量絶縁膜7の上に西素電極が形成され、表示素子とされる。

次に、第2図(a)~(d)により、表示素子の製造工程を詳細に説明する。

(i) ガラス基板1にSiO₂から成る下地膜2を1000 Åの厚さに形成し、その上に200 Åの厚さに多結晶シリコン膜を600 °Cで形成する。この多結晶シリコン膜をドライエッチングで分離し、薄膜トランジスタが構成される多結晶シリコン3と、多結晶シリコンから成る容量電極6を形成する。多結晶シリコン3と容量電極6との間隔は、3~5 μmと非常に精密に加工することができる(第2図(a))。

(ii) 多結晶シリコン3の上に、SiO₂のゲート絶縁膜及び多結晶シリコンのゲート4を形成し、イオン注入により、n⁺のソース及びドレインを形成する。このとき、容量電極6及びゲート4にも、イオン注入が行われ、これらが導電性を持つ

少して簡略化することができ、しかも、同時に形成した多結晶シリコンを分離するだけで容量電極を構成できるので、容量電極形成のための位置合わせを必要とせず、薄膜トランジスタと補助容量との形成間隔を短縮することができ、これにより、開口率の高い西素、あるいは、微細な西素を持った液晶表示装置を構成できるという効果を有する。

第3図は本発明の他の実施例を示す表示素子の断面図である。第3図において、6aは容量電極であり、他の符号は第1図、第2図の場合と同一である。

この実施例は、容量電極6aを第1図、第2図により説明した実施例の場合と同様に、多結晶シリコンを用いて形成し、その形成をゲート4と同一のプロセスで行う点に特徴を有する。

以下、その製造方法を簡単に説明する。

まず、下地膜2の上にスイッチング素子である薄膜トランジスタを構成する多結晶シリコン3を形成し、この多結晶シリコン3の上に、ゲート絶縁膜と多結晶シリコンによるゲート4を形成する。

このとき、ゲート絶縁膜とゲート4の形成と同時に、同一のプロセスにより、容量電極6aを形成する。その後、イオン注入により、多結晶シリコン3内にソースとドレインを形成し、同時にゲート4及び容量電極6aの多結晶シリコンをN⁺層として導電性を持たせる。さらに、その後は、第2図(c)、(d)で説明したと同様に、保護膜5、画素電極8、ソース電極9、ドレイン電極10を形成して、表示素子を完成させる。

前述した第3図に示す本発明の実施例は、容量電極6aの下部に、ゲート絶縁膜と同一のSiO₂膜が存在する点で、第1図に示す実施例と相違するが、この実施例も、第1図に示す実施例と同様な効果を実現することができる。

第4図は本発明のさらに他の実施例を示す表示素子の断面図である。第4図において、4'はゲート、6bは容量電極、11はゲート絶縁膜、12は非晶質シリコン1層、13は非晶質シリコンn⁺層であり、他の符号は第1図、第2図の場合と同一である。

下層に非晶質シリコン1層が存在するが、これらの層も、充分透明電極として作用し、第1図に示す実施例と同様な効果を実現する。

(発明の効果)

以上説明したように、本発明によれば、補助容量を、スイッチング素子となる薄膜半導体層と同一の半導体層で同時に形成し、分離するだけで形成することができるので、その形成工程を簡略化できると同時に、パターン合わせを不要とし、形成間隔も短縮することができるので、開口率の高い画素、あるいは微細な画素を有する液晶表示装置を形成することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す表示素子の断面図、第2図(a)、(b)、(c)、(d)はその製造工程を説明する図、第3図、第4図は夫々本発明の他の実施例の断面図、第5図は従来技術による表示素子の断面図である。

1-----ガラス基板、2-----下地膜、3-----多結晶シリコン、4、4'-----ゲート、5-----保護膜、

この実施例は、スイッチング素子として、逆スタガ構造の非晶質シリコン薄膜トランジスタを用いるもので、容量電極6aとして、非晶質シリコンn⁺層を用いている点を特徴とする。

以下、その製造方法を簡単に説明する。

まず、ガラス基板1上のゲート4'を形成し、基板1及びゲート4'を含む全面にSiO₂によるゲート絶縁膜11を形成する。このゲート絶縁膜11は、ゲート4'以外の部分で、下地膜となる。次に、連続CVD法により、非晶質シリコン1層12と、非晶質シリコンn⁺層13を形成し、これを分離して、薄膜トランジスタを構成する部分と、容量電極6bとなる部分を形成する。ゲート4'の上の部分の非晶質シリコンn⁺層を除去し、両側の非晶質シリコンn⁺層を夫々ソース及びドレインとする。その後、第2図(c)、(d)と同様に、保護膜5、画素電極8、ソース電極9、ドレイン電極10を形成して、表示素子を完成させる。

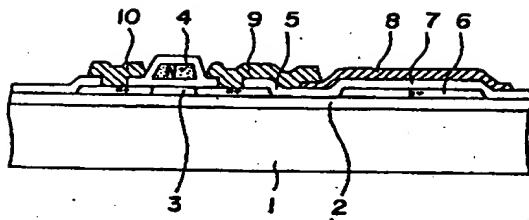
この第4図に示す本発明の実施例は、容量電極6bが、非晶質シリコンn⁺層で構成され、その

6、6a、6b、6c-----容量電極、7-----容量絶縁膜、8-----画素電極、9-----ソース電極、10-----ドレイン電極、11-----ゲート絶縁膜、12-----非晶質シリコン1層、13-----非晶質シリコンn⁺層。

代理人 弁理士 武 順次郎 (外1名)

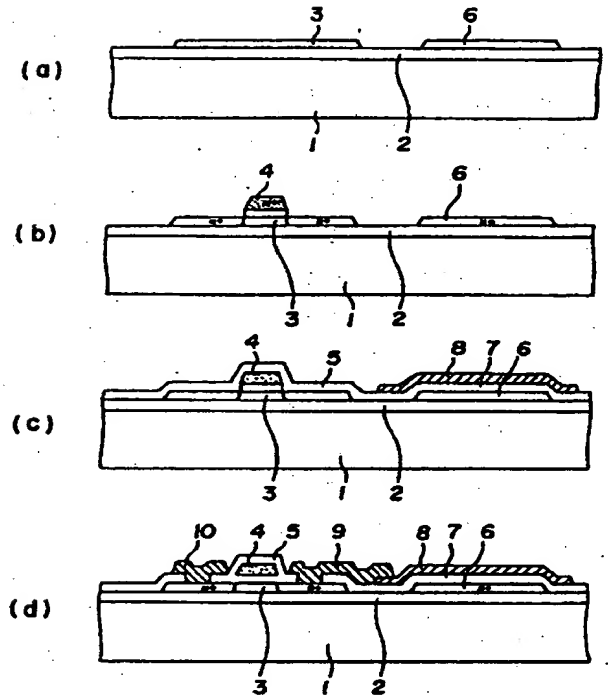


第 1 図

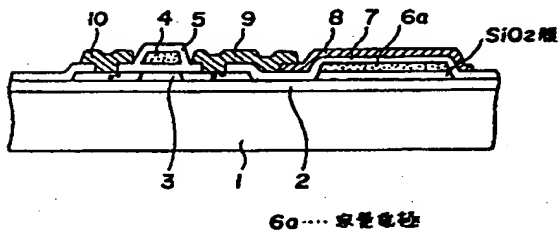


- 1 …… ガラス基板
- 2 …… 下地膜
- 3 …… 多結晶シリコン
- 4 …… ゲート
- 5 …… 保護膜
- 6 …… 容量電極
- 7 …… 容量絶縁膜
- 8 …… 画素電極
- 9 …… ソース電極
- 10 …… ドレイン電極

第 2 図

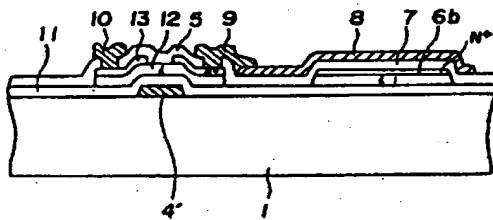


第 3 図



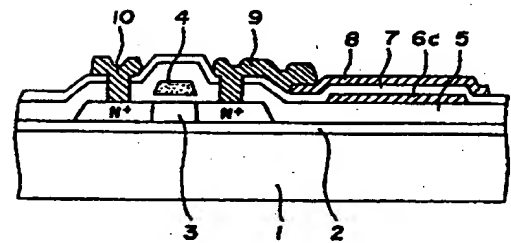
6a …… 容量電極

第 4 図



- 6b …… 容量電極
- 11 …… ゲート絶縁膜
- 12 …… 非晶質シリコン層
- 13 …… 非晶質シリコンN⁺層

第 5 図



- 1 …… ガラス基板
- 2 …… 下地膜
- 3 …… 多結晶シリコン
- 4 …… ゲート
- 5 …… 保護膜
- 6c …… 容量電極
- 7 …… 容量絶縁膜
- 8 …… 画素電極
- 9 …… ソース電極
- 10 …… ドレイン電極